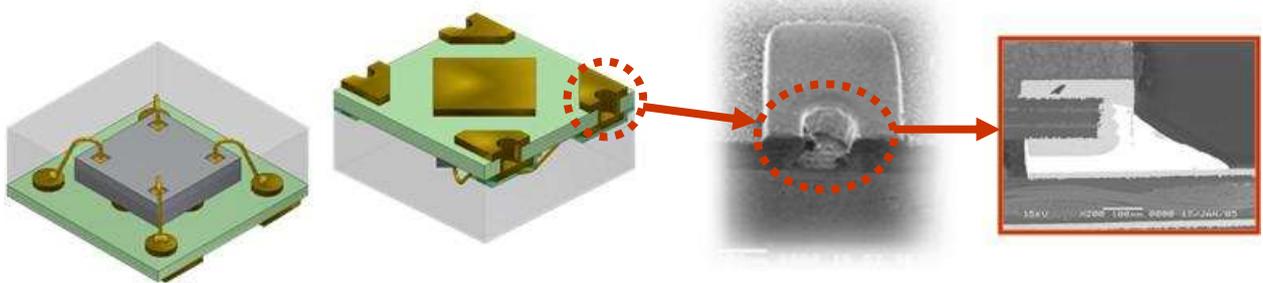


PCBタイプ

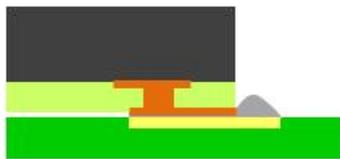
ビアホール付きパッケージ

特長

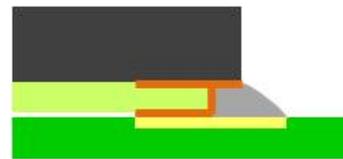
■端子部分の特殊加工により確実なはんだフィレットの形成ができ、高いはんだ付け品質の実現と実装後の外観検査性が向上する特許技術を使ったパッケージを提供いたします。



はんだ付け状態イメージ



標準的な
ノンリードパッケージ



ビアホール付き
ノンリードパッケージ

標準的なノンリードパッケージではPCBの端面には端子が無くフィレットが形成されない。
ビアホールの形成によりビアホールのめっき部からはんだが濡れ広がるため、信頼性の高いはんだ接合と検査の視認性が得られるパッケージです。

特許2002-176730（出願日：2002年6月18日）

基板上に形成したステージ形成部と、該ステージ形成部の近傍に等間隔で配列し、かつ導電性薄膜で形成した多数個の内部接続用端子と、該各内部接続用端子と前記基板の表裏側で対向させた位置に導電性薄膜で形成した多数個の外部接続用端子と、からなることを特徴とした半導体パッケージ製造用基板。